

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-290586

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

G11C 11/401

(21)Application number : 05-075588 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 01.04.1993 (72)Inventor : SAKURAI MIKIO

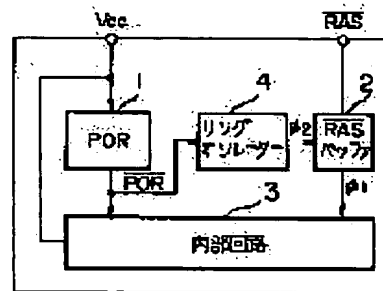
(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To use the memory without a dummy cycle by generating a signal corresponding to a dummy cycle through a ring oscillator based on a reset signal supplied to an internal circuit by a power on reset(POR) circuit after turning on a power supply.

CONSTITUTION: A reset signal in which POR 1 is a POR signal of a L level until power supply Vcc varies from a L level to a H level after turning on a power supply is outputted to an internal circuit 3.

Receiving this reset signal, a ring oscillator 4 continues to output a pulse ϕ_2 during an initial pause period, supplies it to a row access strobe(RAS) buffer 2, and a pulse ϕ_1 obtained by ORing the pulse ϕ_2 and an external RAS is given to a circuit 3. Thereby, the circuit 3 performs operation internally corresponding to a dummy cycle by the pulse ϕ_2 during an initial pause period, and a device can be immediately and normally used without giving externally the dummy cycle, after finish of the initial pause period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-290586

(43) 公開日 平成6年(1994)10月18日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

6866-5L

G 1 1 C 11/34

3 7 1 E

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平5-75588

(22) 出願日

平成5年(1993)4月1日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 桜井 幹夫

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

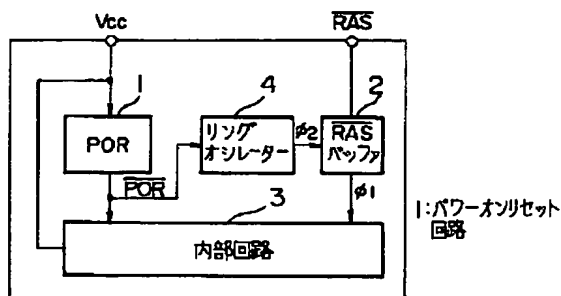
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 電源投入後、ダミーサイクルなしに使えるようにする。

【構成】 電源投入信号を受けて内部回路3にリセット信号を送るパワーオンリセット回路(POR)1の出力信号(／POR信号)により制御されるリングオシレーター4を用いて、内部的にダミーサイクル相当の信号を発生させる。



1

【特許請求の範囲】

【請求項1】 電源の投入を受けて内部回路にリセット信号を送るパワーオンリセット回路、前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルスを出力するリングオシレーター、及び前記一定周期のパルスと外部／RAS信号の論理和をとり前記内部回路に送る論理和手段を備えたことを特徴とする半導体記憶装置。

【請求項2】 電源の投入を受けて内部回路にリセット信号を送るパワーオンリセット回路、前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルスを出力するリングオシレーター、前記一定周期のパルスを計数して前記リングオシレーターの動作期間を制御するカウンタ、及び前記一定周期のパルスと外部／RAS信号の論理和をとり前記内部回路に送る論理和手段を備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、DRAM等の半導体記憶装置に関するものである。そして、特に、電源投入後ダミーサイクルなしに使用することを可能とした半導体記憶装置に関するものである。

【0002】

【従来の技術】近年、半導体記憶装置は、より一層の低消費電力化、高速化が求められている。そこで、電源投入後少しでも早くスタンバイ状態にして、できるだけ早く使用できるようにしたいと要望されている。

【0003】従来の半導体記憶装置の構成について図7を参照しながら説明する。図7は、従来の半導体記憶装置を示す図である。

【0004】図7において、1は電源の投入信号を受けて半導体記憶装置の所定の内部回路にリセット信号（／POR信号）を送るパワーオンリセット回路（POR）、2は外部より／RAS信号を受けて内部／RAS信号（ $\phi 1$ 信号）を発生する／RASバッファ、3は内部回路である。

【0005】次に、従来の半導体記憶装置の動作について図8を参照しながら説明する。図8は、従来の半導体記憶装置の動作を示すタイミングチャートである。図8において、(a)は電源電圧Vcc、(b)は／RAS信号、(c)は $\phi 1$ 信号、(d)は／POR信号をそれぞれ示す。

【0006】パワーオンリセット回路1は、外部電源をもとに供給されるVcc電源をうけ、この電源電圧Vccの立ち上がりを受けて半導体記憶装置の所定の内部回路3にワンショットパルスを与えて所定の内部回路3をリセットする回路である。この時、所定の内部回路3に与える信号は／POR信号と呼ばれる。

【0007】図8(a)に示すように、まず、電源投入時に電源電圧Vccが“L”から“H”に立上がる。す

2

ると／POR信号は電源投入時は“L”のままで半導体記憶装置の所定の内部回路3をリセットする。そして、図8(d)に示すように、／POR信号はイニシャルポーズ期間内に自分で“H”に切り替わり、所定の内部回路3のリセットを終了する。

【0008】ユーザーは電源を投入してイニシャルポーズ期間後、半導体記憶装置を使用するためには／RAS信号によるダミーサイクルを規定回数入れなければならないという決まり（仕様）がある。このため、図8(b)及び(c)に示すように、／RAS信号によるダミーサイクルを規定回数入れたあと、ノーマルサイクルとして通常使用が可能となる。

【0009】

【発明が解決しようとする課題】上述したような従来の半導体記憶装置では、ユーザーが通常使用をはじめる前に、イニシャルポーズ期間後のダミーサイクルを規定回数必ず入れる必要があり、ダミーサイクルを入れている期間の分、通常使用開始時間が遅れてしまうという問題点があった。

【0010】この発明は、前述した問題点を解決するためになされたもので、電源を投入してイニシャルポーズ期間の後にダミーサイクルを入れることなく、直ぐにノーマルサイクルに入ることができる半導体記憶装置を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明の請求項1に係る半導体記憶装置は、次に掲げる手段を備えたものである。

〔1〕 電源の投入を受けて内部回路にリセット信号を送るパワーオンリセット回路。

〔2〕 前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルスを出力するリングオシレーター。

〔3〕 前記一定周期のパルスと外部／RAS信号の論理和をとり前記内部回路に送る論理和手段。

【0012】この発明の請求項2に係る半導体記憶装置は、次に掲げる手段を備えたものである。

〔1〕 電源の投入を受けて内部回路にリセット信号を送るパワーオンリセット回路。

〔2〕 前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルスを出力するリングオシレーター。

〔3〕 前記一定周期のパルスを計数して前記リングオシレーターの動作期間を制御するカウンタ。

〔4〕 前記一定周期のパルスと外部／RAS信号の論理和をとり前記内部回路に送る論理和手段。

【0013】

【作用】この発明の請求項1に係る半導体記憶装置においては、パワーオンリセット回路によって、電源の投入を受けて内部回路にリセット信号が送られる。また、リ

3

ングオシレーターによって、前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルスが出力される。さらに、論理和手段によって、前記一定周期のパルスと外部／RAS信号の論理和がとられ前記内部回路に送られる。

【0014】この発明の請求項2に係る半導体記憶装置においては、パワーオンリセット回路によって、電源の投入を受けて内部回路にリセット信号が送られる。また、リングオシレーターによって、前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルスが出力される。さらに、カウンタによって、前記一定周期のパルスが計数されて前記リングオシレーターの動作期間が制御される。そして、論理和手段によって、前記一定周期のパルスと外部／RAS信号の論理和がとられ前記内部回路に送られる。

【0015】

【実施例】

実施例1. 以下、この発明の実施例1の構成について図1を参照しながら説明する。図1は、この発明の実施例1の構成を示すブロック図であり、パワーオンリセット回路1～内部回路3は上述した従来装置のものと同様である。なお、各図中、同一符号は同一又は相当部分を示している。

【0016】図1において、4はリングオシレーターであり、動作は／POR信号により制御されている。

【0017】ところで、この発明の論理和手段は、この実施例1では／RASバッファ2に相当する。

【0018】次に、この発明の実施例1の動作について図2を参照しながら説明する。図2は、この発明の実施例1の動作を示すタイミングチャートである。図2において、(a)は電源電圧Vcc、(b)は／RAS信号、(c)はパルスφ1、(d)はパルスφ2、(e)は／POR信号をそれぞれ示す。

【0019】電源投入時、図2(a)に示すように、電源電圧Vccが“L”から“H”に立上がる。／POR信号は電源投入時は“L”のままで半導体記憶装置の所定の内部回路3をリセットする。この発明の実施例1においては、／POR信号はリングオシレーター4にも入力されている。

【0020】リングオシレーター4は／POR信号をうけて、イニシャルポーズ期間の間に／POR信号が“H”にきりかわるまで／RASバッファ2に周期的なパルスφ2を送り続ける。／RASバッファ2は、動作的に外部／RAS信号とのORのロジックを組んであるためパルスφ2をうけてパルスφ1が内部回路3に与えられる。

【0021】これにより、イニシャルポーズ期間の間にパルスφ2により内部的にダミーサイクル相当の動作を内部回路3におこすことになる。従って、ユーザーはイニシャルポーズ期間後、外部からダミーサイクルを与え

4

ることなく、すぐに通常使用することが可能となる。

【0022】この発明の実施例1は、前述したように、電源電圧Vccの投入を受けて内部回路3にリセット信号(／POR信号)を送るパワーオンリセット回路1と、前記リセット信号を制御信号として動作するリングオシレーター4とを備えたものである。前記リングオシレーター4の出力信号(φ2)を用いて、電源投入後しばらくの間内部的にダミーサイクル相当の動作をおこすための信号(φ1)を内部回路3に与えるようにしたのである。その結果、イニシャルポーズ期間内に内部的にダミーサイクル相当の動作を行うようにしたので、イニシャルポーズ期間後、ユーザーは、ダミーサイクルを外部より行うことなくすぐに通常使用が可能となる。

【0023】実施例2. この発明の実施例2の構成について図3を参照しながら説明する。図3は、この発明の実施例2の構成を示すブロック図である。

【0024】図3において、従来装置と同一符号は同一のもの若しくは相当するものを示している。4はリングオシレーターであり、動作は／POR信号により制御されている。5はカウンタであり、リングオシレーター4の動作をうけてパルスφ2をカウントし、このカウンタ5の出力(φ3)によりリングオシレーター4の動作期間を制御する。

【0025】次に、この発明の実施例2の動作について図4を参照しながら説明する。図4は、この発明の実施例2の動作を示すタイミングチャートである。図4において、(a)は電源電圧Vcc、(b)は／RAS信号、(c)はパルスφ2、(d)はパルスφ1、(e)は／φ3信号、(f)は、／POR信号をそれぞれ示す。

【0026】電源投入時、図4(a)に示すように、電源電圧Vccが“L”から“H”に立上がる。同図(f)に示すように、／POR信号は電源投入時は“L”のままで、半導体記憶装置の所定の内部回路3をリセットする。

【0027】この発明の実施例2においては、パルスφ2はカウンタ5に入力されている。カウンタ5からは／φ3が出力されており、リングオシレーター4の動作を制御している。リングオシレーター4は、／POR信号をうけてイニシャルポーズ期間の間に、／RASバッファ2に周期的なパルスφ2を送信する。それと同時にパルスφ2をうけてカウンタ5がφ2のパルス数をカウントする。

【0028】カウンタ5は、所定のカウント数にパルスφ2のパルス数が達すると、図4(e)に示すように、出力／φ3を“L”→“H”にして、リングオシレーター4の動作を停止させる。所定のカウント数としては、ダミーサイクルとして規定されているパルスφ1のパルス数を生成するのに充分であればよい。

【0029】これにより、イニシャルポーズ期間の間に、パルスφ2により内部的にダミーサイクル相当の動

5

作を内部回路3におこすことになる。従って、ユーザーはイニシャルポーズ期間後、外部からダミーサイクルを与えることなく、すぐに通常使用することが可能となる。

【0030】実施例3。なお、上記2つの実施例1及び2においては、リングオシレーター4のパルスφ2は／RASバッファ2に入力されていたが、図5に示すように、ORゲート6により、／RASバッファ2のパルスφ1とパルスφ2のORロジックを構成して内部回路3に供給してもよい。

【0031】実施例4。また、図6に示すように、イニシャルポーズ期間はANDゲート8によりパワーオンリセット回路からの／POR信号とANDロジックをとり／RAS信号を無視して、パルスφ2を優先させるようにしても、内部回路3にダミーサイクル相当の動作をおこさせるという目的は達成される。

【0032】

【発明の効果】この発明の請求項1に係る半導体記憶装置は、以上説明したとおり、電源の投入を受けて内部回路にリセット信号を送るパワーオンリセット回路と、前記リセット信号に基づいてイニシャルポーズ期間に一定周期のパルス出力するリングオシレーターと、前記一定周期のパルスと外部／RAS信号の論理和をとり前記内部回路に送る論理和手段とを備えたので、イニシャルポーズ期間後、ユーザーはダミーサイクルを外部より入れて時間的なロスをすることなく、すぐにノーマル使用することができるという効果を奏する。

【0033】この発明の請求項2に係る半導体記憶装置は、以上説明したとおり、電源の投入を受けて内部回路にリセット信号を送るパワーオンリセット回路と、前記

6

リセット信号に基づいてイニシャルポーズ期間に一定周期のパルス出力するリングオシレーターと、前記一定周期のパルスを計数して前記リングオシレーターの動作期間を制御するカウンタと、前記一定周期のパルスと外部／RAS信号の論理和をとり前記内部回路に送る論理和手段とを備えたので、イニシャルポーズ期間後、ユーザーはダミーサイクルを外部より入れて時間的なロスをすることなく、すぐにノーマル使用することができるという効果を奏する。

10 【図面の簡単な説明】

【図1】この発明の実施例1の構成を示すブロック図である。

【図2】この発明の実施例1の動作を示すタイミングチャートである。

【図3】この発明の実施例2の構成を示すブロック図である。

【図4】この発明の実施例2の動作を示すタイミングチャートである。

【図5】この発明の実施例3の構成を示す図である。

20 【図6】この発明の実施例4の構成を示す図である。

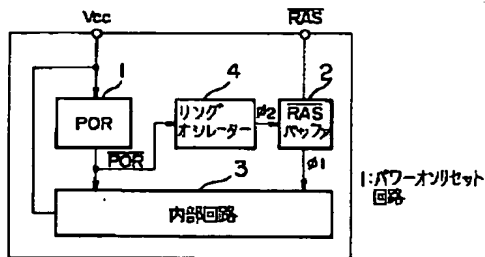
【図7】従来の半導体記憶装置の構成を示すブロック図である。

【図8】従来の半導体記憶装置の動作を示すタイミングチャートである。

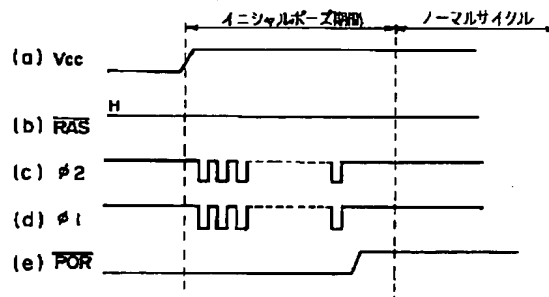
【符号の説明】

- 1 パワーオンリセット回路
- 2 /RASバッファ
- 3 内部回路
- 4 リングオシレーター
- 30 カウンター

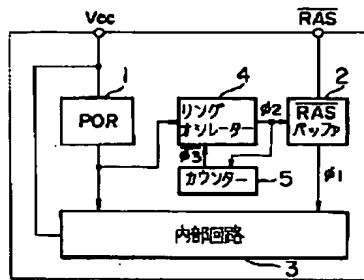
【図1】



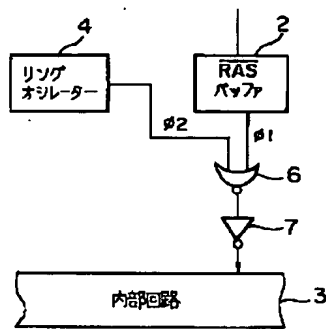
【図2】



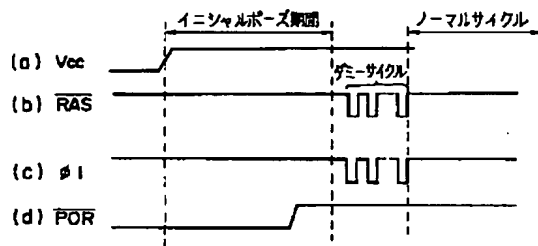
【図3】



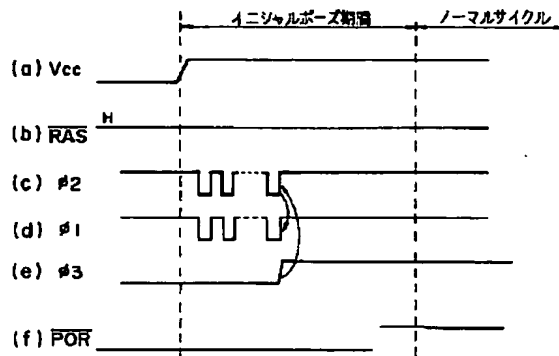
【図5】



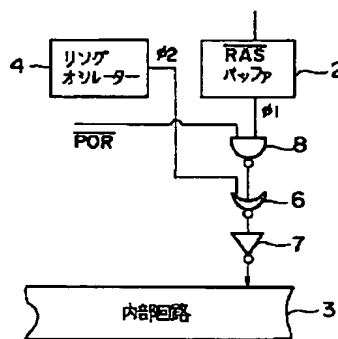
【図8】



【図4】



【図6】



【図7】

